

DATA TRANSMISSION METHOD

Publication number: JP61054521 (A)

Publication date: 1986-03-18

Inventor(s): KUSAMA HARUO

Applicant(s): FUJI ELECTRIC CO LTD

Classification:

- international: **G06F3/02; G06F13/00; H04L13/00; H04L29/08; G06F3/02; G06F13/00; H04L13/00; H04L29/08;** (IPC1-7): G06F3/02; G06F13/00; H04L13/00

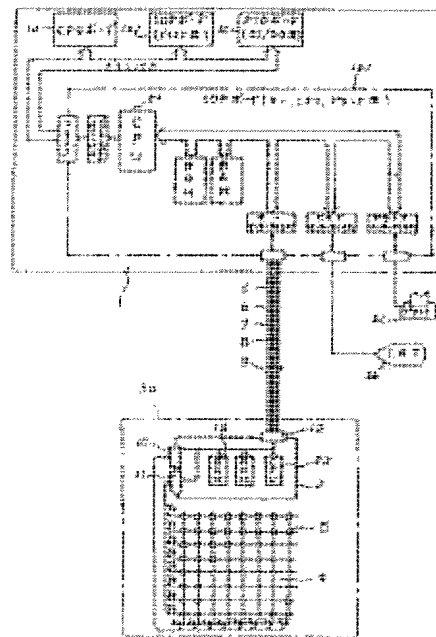
- European:

Application number: JP19840177087 19840825

Priority number(s): JP19840177087 19840825

Abstract of JP 61054521 (A)

PURPOSE: To transmit surely the keyboard signal to the main body side of a terminal by lowering the transmitting speed of data when the failure frequency (NACK) of transmission of information between a keyboard and the terminal main body exceeds a prescribed level. **CONSTITUTION:** A key input device 3a is connected to a terminal unit 1 via a serial transmission line 9, and the push of a key switch K is detected by a CPU2. This detection output is converted into serial signals by an appropriate means and then transmitted to the unit 1 at a speed of 9600BPS, for example, via the line 9. While the unit 1 checks the errors of the received key signals and fetches them as long as no error is detected. While the NACK signal is sent to the device 3a if an error is detected for request of retransmission.; Another error is produced by this retransmission and the NACK signal is sent back again to the device 3a. In such a case, the transmitting speed is lowered down to 600BPS to transmit the key signal to the unit 1.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-54521

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)3月18日

G 06 F 3/02

Y-7010-5B

13/00

T-7230-5B

H 04 L 13/00

Z-7240-5K

審査請求 未請求 発明の数 1 (全6頁)

⑥ 発明の名称 データ伝送方法

⑦ 特 願 昭59-177087

⑧ 出 願 昭59(1984)8月25日

⑨ 発 明 者 草 間 晴 雄 川崎市川崎区田辺新田1番1号 富士電機製造株式会社内

⑩ 出 願 人 富士電機株式会社 川崎市川崎区田辺新田1番1号

⑪ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 データ伝送方法

2. 特許請求の範囲

1) キーの操作により入力されたキー入力データを所定の伝送速度のシリアル信号として他装置へ送信し、その送信のつど、該他装置より当該の送信の成功又は不成功の返信を前記と同様なシリアル信号として受け、不成功の返信を受けたときは、当該のキー入力データを前記と同様なシリアル信号として、前記の他装置へ再度送信するデータ伝送方法において、

前記の不成功の返信が所定回数繰返されたときは、前記伝送速度より低い所定の伝送速度に切換えて、前記の再度の送信及びこれに伴う前記の返信を行わせるようにしたことを特徴とするデータ伝送方法。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明はキーボードより操作入力されたデータ(キーデータ又はキーコードと呼ぶ)を相手側の

端末装置(端末機又は端末機本体と呼ぶ)にシリアルデータとして送出するキー入力装置におけるキーデータの伝送方法に関する。

〔従来技術とその問題点〕

この種のキー入力装置のデータ伝送方式としては、4ビット又は8ビットのいわゆるパラレル・シークハンド式伝送方式すなわちデータコードの各ビットを並列に伝送する方式が知られているが、このようなキー入力装置はデータ伝送のために端末機本体と接続するケーブルが太く堅が強くなるため、取扱い性が極めて悪くなるという欠点があつた。また一方、2線式シリアル伝送方式もよく知られているデータ伝送方式であるが、従来の単一の伝送速度(ボーレート)で伝送を行う方式のようなキー入力装置は、外乱であるノイズ等が発生し易い環境においては、キーコード読取りエラーばかりとなり、キーの操作入力を繰返す必要があるために操作性が悪くなるという欠点があつた。

〔発明の目的〕

この発明はノイズ、静電気放電等の外乱の多い環境においても、確実にキーデータを伝送でき、しかも端末機本体と接続するケーブルの芯数が少ないため取扱い性の良いカールケーブルなどを使用することが出来る、キー入力装置を提供することを目的とする。

〔発明の要点〕

この発明の要点は端末機本体とこれにキーデータを伝送するキー入力装置とが、外乱の無い良環境下で動作している場合は、高速伝送ポーレートにてデータのやりとりを行い、ノイズ等の外乱が一時的又は連続的に発生したりする悪環境下においては、データを確実に読み取る^れような低速伝送ポーレートに端末機本体、キー入力装置とも移行し、データやりとりを再試行する点にある。これにより端末機本体とキー入力装置との間のデータ破壊を極力少なくし装置の信頼性、操作性の向上をはかることができるものである。

換言すれば本発明の要点は、キーの操作により（キー入力装置などから）入力されたキー入力デ

ータのタイミングを示す図、第4図は第1図の要部の動作を説明するフローチャートである。なお各図の説明において同一の符号は同一または相当部分を示す。又論理「High」、「Low」及び「1」、「0」は単に「H」、「L」及び「1」、「0」と記す。

第1図(A)において端末機1は主のCPUを備えたCPUボード1a、キー入力装置と交信し、かつCRT表示装置、プリンタを制御する従のCPU（IOPともいう）21を備えたIOPボード1b1、ディスクを制御する従のCPUを備えたIOPボード1b2、デジタル入出力（DI/DOとも記す）制御を行う従のCPUを備えたPIOボード1c等から構成され、かつ端末機1には入出力装置としての後述のキー入力装置3a、CRT表示装置3b、プリンタ3c等が各対応のインターフェイスを介して接続されている。

キー入力装置3aは1チップマイクロコンピュータ（以下マイコンと呼ぶ）2、キーマトリクス4等からなり、またキーマトリクス4はマトリク

特開昭61-54521(2)
ータ（キーデータなど）を所定の伝送速度（例えば9600BPS）のシリアル信号として他装置（端末機など）へ送信し、その送信のつど、該他装置より当該の送信の成功又は不成功の返信（ACK又はNACKなど）を前記と同様なシリアル信号として受け、不成功の返信を受けたときは、当該のキー入力データを前記と同様なシリアル信号として、前記の他装置へ再度送信するデータ伝送方法において、

前記の不成功の返信が所定回数（例えば2回）繰返されたときは、前記伝送速度より低い所定の伝送速度（例えば1200BPS）に切換えて、前記の再度の送信及びこれに伴う前記の返信を行わせるようにした点にある。

〔発明の実施例〕

以下第1図～第4図に基づいて本発明の実施例を説明する。第1図は本発明の実施例のハード構成を示すブロック図、第2図は同じくキーボードケーブル内の主要ラインの交信のタイミングを示す図、第3図は同じくデータラインからのデータ

ス状の走査ラインと、その交点部○印に同図(B)のように設けられたキーK1からなる。前記走査ラインはマイコン2のポート10、11に接続され、このポートを介してマイコン2のCPU22はキーK（K1）の操作の検出を行う。又マイコン2はキーデータを一時格納するRAM13を持ち、そのポート12、キーボードケーブル9を介して端末機1のIOP^{マイコン}1b1内のキーインターフェイスと結合されている。

キーボードケーブル9は電源ラインとしての+5Vライン6、電源ライン^と信号の共通の帰線を兼ねるグラウンドライン6、制御信号用としてのREADYライン7、およびシリアル伝送用のデータライン8から構成されている。

なおCRT表示装置3b、プリンタ3cはそれぞれIOPボード1b1内のCRTインターフェイス、プリンタインターフェイスを介してCPU21により制御される。

この構成においてマイコン2内のCPU22はキーマトリクス4におけるキー操作入力（キーK

1の接点のON)を走査により読込み、所定のキーコード(JISコード)に変換しRAM13に一時記憶するとともに、キーボードケーブル9を介してIOPボード1b1にシリアル伝送するものである。

次に第2図(1)、(2)はそれぞれ第1図データライン8、READYライン7上における交信信号のタイミングの例を示し、この場合負論理が用いられている。すなわち時点t1に端末機1からキー入力装置3aに'L'('1')のREADY信号が送信されることによつて時点t2からキー入力装置3aより端末機1に向つてデータ信号が送信される。このデータ信号のフォーマット(データコード又はキーコード)は第2図(1)のように'L'('1')のスタートビットSTB、'H'('0')のストップビットSPBの間に、1ワード(8ビット)のデータ部(最左端ビットMSBから最右端ビットLSBまで)DTとパリティビットPTBが設けられる形となつている。

また端末機1からキー入力装置3aにデータを

第3図の例では時点t11でデータライン8が'L'となるがこの初めの部分にはノイズN1が重畳しているため読込み値が確定しないので、周期T0による読込みが繰返され、時点t12において始めて、直前に続けて読込まれた2つの値が'L'に一致し、スタートビットSTBとして確認されるものとする。このためノイズN1が侵入していない場合に比べ遅れDL1を生ずることになる。

以後は時点t12からデータ伝送速度(ボーレート=Bit/sec)に対応したビット長T1ごと、かつ前記ビット確認読込み周期T0をもつて、各ビットの読込みが行われる。この場合データ部DTにおける第1、第2ビットの読込みにおいてはノイズの侵入がなく正常な手順で読込まれ、各ビット毎2回の読込みで当該ビットの値が確定している。しかしながらデータ部DTにおける第3ビット目ではノイズN2の侵入により3回の読込みにより時点t14でビット値が確定し、従つてこの場合遅れDL2を生ずる。

送信する場合は、READYライン7を'H'('0', NOT READY)として第2図(1)と同様なフォーマットで送信を行う。

第3図において図(1)は第2図(1)と同様なデータライン8上のデータ信号の出力のタイミングで、この場合にはスタートビットSTB及びデータ部DT内の第3ビット目にノイズN1及びN2が侵入重畳している例を示す。また同図(2)は図(1)で送信された信号を受信側の端末機1の(IOPボード1b1内の)CPU21又はキー入力装置3a内の(マイコン2内の)CPU22が読取るタイミングの例を示す。

すなわち第2図で説明したようにREADYライン7が'L'(READY)、又は'H'(NOT READY)となつたのち、受信側のCPU21又は22はまずデータライン8上のスタートビットSTBを見付けるために例えば10 μ S^{ビット確認}の読込み周期T0でデータライン8を監視しつつける。この場合周期T0で読込んだビットの論理値が続けて2つ一致したときその値を有効として取込む。

以後時点t14からビット長T1の周期で以降のビットが読込まれてゆく。

なおノイズ侵入によつて読込みビットの値が確定しない場合、前記ビット確認読込み周期T0による読込みの繰返し回数は、所定回数で打切られ後述のように受信不成功と判定される。

次に第4図によりキー入力装置3aの動作を説明する。電源投入によりステップ101でマイコン2内のCPU22はRAM13及びポート10、11を初期化する。次にステップ102でキーマトリクス4におけるキーK1の押下を走査検出し、キーデータとしてRAM13に記憶する。次にステップ103で端末機1側(簡単のため本体側とも記す)が受信可であるか否かを、すなわちREADYライン7が'L'('1')か否かを判別し、諾(Y)の場合は直ちに、否(N)の場合は受信可となるのを待ち、ステップ104で高速伝送(例えば9600BPS)により、前記のようにRAM13に記憶したキーデータを端末機1に送信する。次にステップ105において、端末機1から

の返信を受取る。

この返信には受信成功信号(A C Kと呼ぶ)と受信失敗信号(N A C Kと呼ぶ)とがあり、A C Kは第2図(1)のデータ部D Tを「FF」₁₆。すなわち全て「1」(つまり「L」)としたものであり、キー入力装置3 aはこの8ビット中4ビット以上「1」と読めるデータが返信されたときA C Kとみなす。またN A C Kは同様に前記のデータ部D Tを「00」₁₆。すなわち全て「0」(つまり「H」)としたものであり、8ビット中4ビット以上「0」と読めるデータが返信されたときN A C Kとみなす。

次のステップ106では前記の返信がA C Kであるか否かを判別し、諾(Y)であればステップ102に戻つて、新たなキーデータを入力するが、否(N)であればステップ107で端末機1が受信可となるのを待ち、ステップ108でステップ104と同様に前回と同じキーデータの送信を高速伝送(9600 BPS)で繰返す。

次にステップ109、110では前記ステップ

t 12が次のビットの始めの時点t 13の近傍まで遅れることがあり、これにより以降の各ビットの読み込みが不正確となり、受信失敗に到ることが多かつたが、ボーレートを中速あるいは低速とした場合は、ビット長T 1が充分長くなるので時点t 12が時点t 13に近づく恐れはなくなり、前記のような受信失敗を防ぐことができる。

またボーレートを下げる際同時にビット確認読み周期T 0も若干増加させれば、ノイズN 1又はN 2の持続時間が長い場合でも、少い確認読込の回数で(その間にノイズが消滅することにより)当該ビット値を確認することができる。

〔発明の効果〕

以上の説明から明らかなようにこの発明によれば、ノイズ外乱等の影響下では、あらかじめ端末機とキー入力装置とで約束して置いた上でデータ伝送ボーレートを下げて送信^{受信}する様にしたため、端末機が確実にキー入力装置からのキーデータを受け取れるという効果がある。

4. 図面の簡単な説明

105、106と同様に端末機1が受信成功した場合は、ステップ102に戻り、受信失敗の場合はステップ111で端末機1が受信可となるのを待つて、次のステップ112で中速伝送(例えば1200 BPS)により前回送信したデータと同一データを再度送信する。

ステップ113、114では前記と同様端末機が受信成功であれば、新たなキーデータを入力し、受信失敗であれば、端末機が受信可となるのを待ち(ステップ115)、低速伝送(600 BPS)で前回と同じデータを再送信する(ステップ116)。この結果受信成功なら新たなキーデータを入力し、失敗ならステップ118で何等かのこのままではデータ伝送の不可能な事故として以後のキーデータの送信動作を打切る。

ノイズ環境下でデータを読込む場合、特にスタートビットS T B部でノイズ侵入により第3図のようにビット確認のための遅れD L 1を生ずる場合、高速伝送の9600 BPS ではビット長T 1が104 μSのためスタートビットS T B確認時点

第1図は本発明の実施例の構成を示すブロック図、第2図は同じくキーボードケーブル内の主要ラインの交信のタイミングを示す図、第3図は同じくデータラインからのデータ読込のタイミングを示す図、第4図は第1図の要部の動作を説明するフローチャートである。

1……端末機、1 a……C P Uボード、1 b 1……I O Pボード、2……1チップマイクロコンピュータ(マイコン)、3 a……キー入力装置、4……キーマトリクス、K、K 1……キー、7……READYライン、8……データライン、9……キーボードケーブル、13……R A M、21、22……C P U、T 1……ビット長、T 0……ビット確認読み周期。



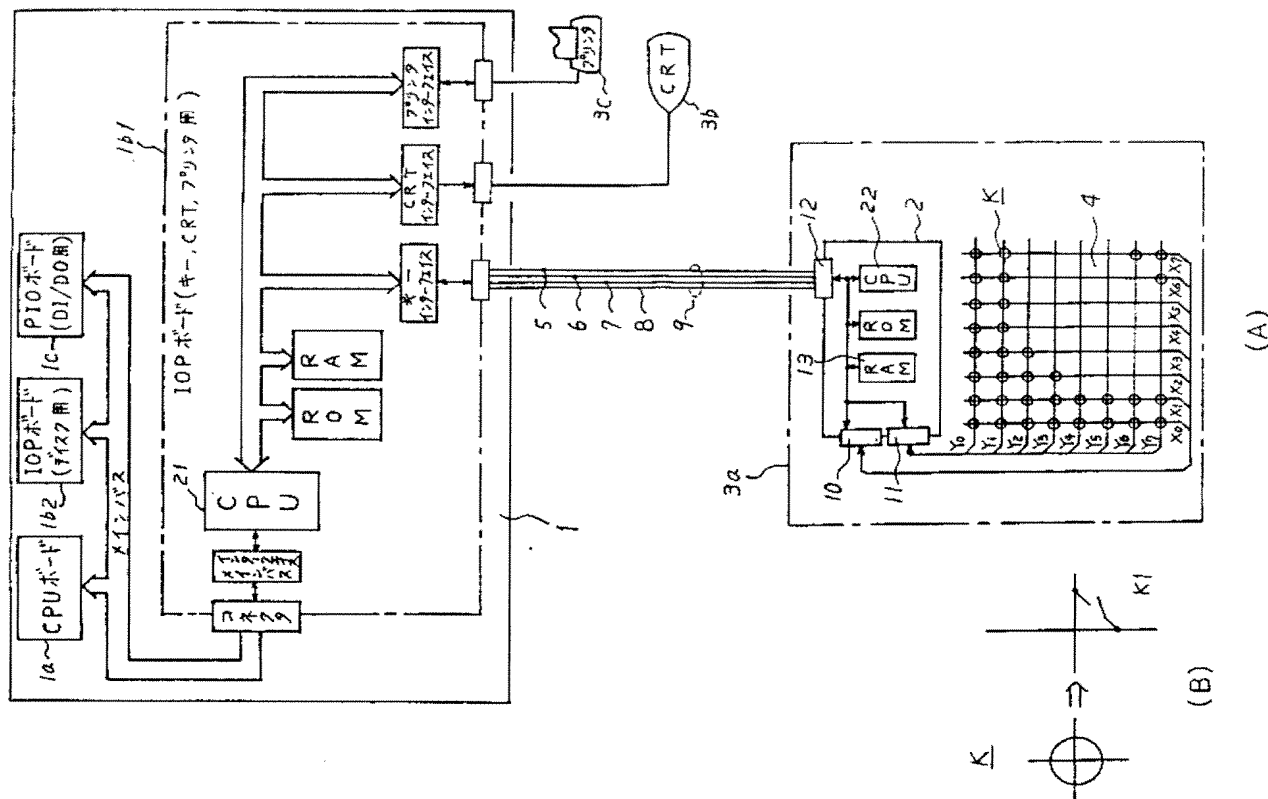


図 1 概

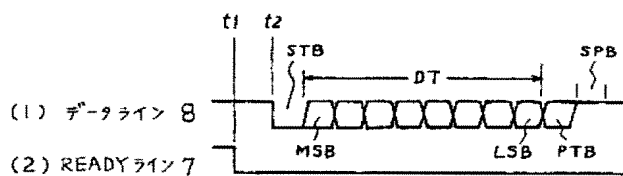


図 2 概

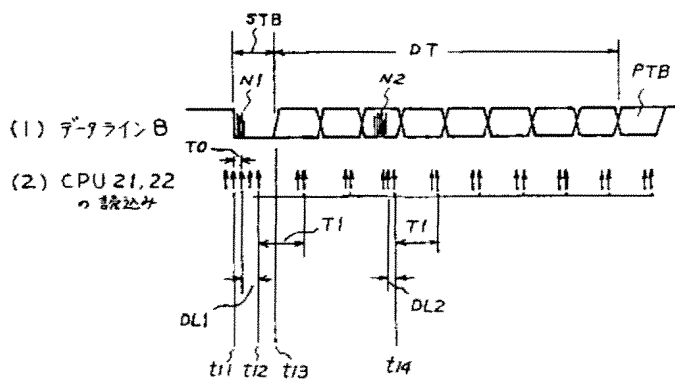


図 3 概

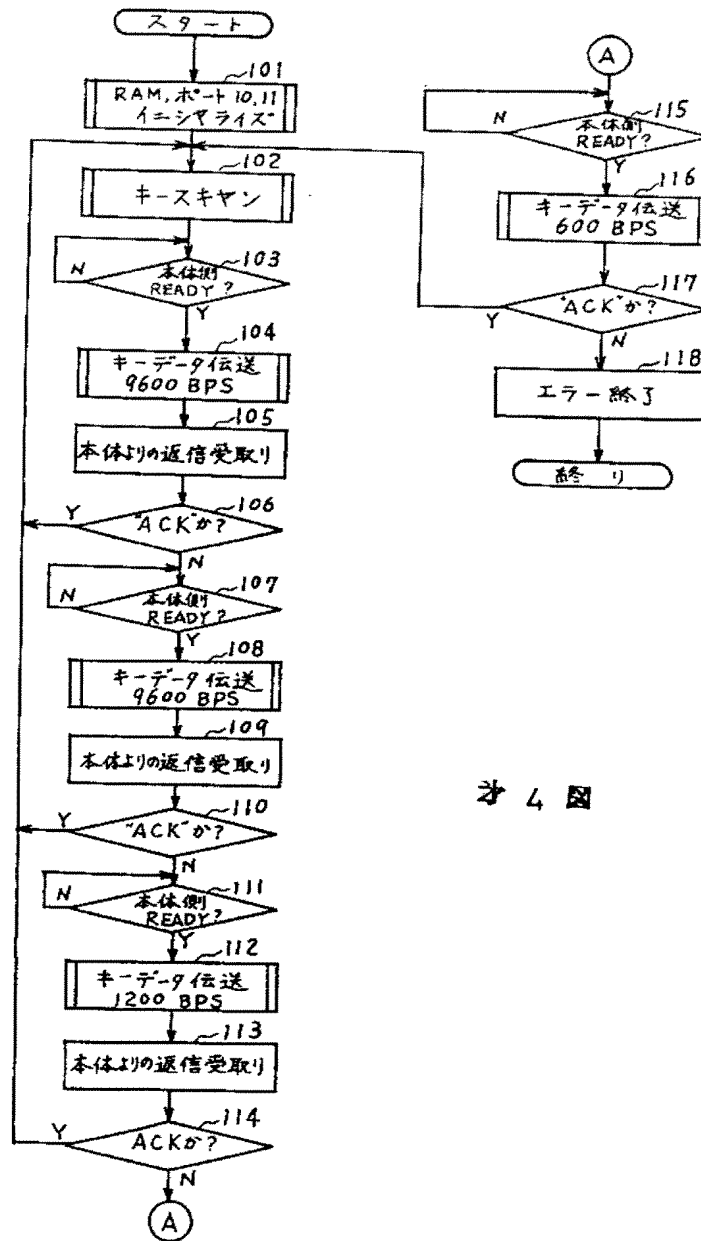


図 4